

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-354780

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 K

21/336

6 5 3 C

6 5 8 F

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平10-154798

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(22)出願日 平成10年(1998)6月3日

(72)発明者 早見 泰明

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

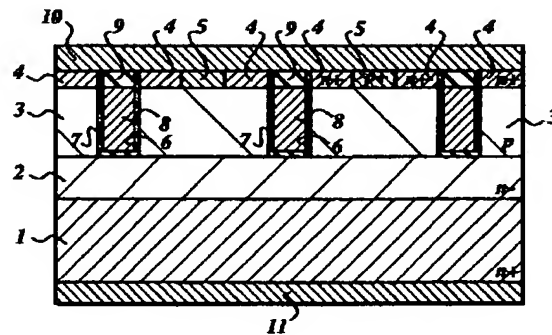
(74)代理人 弁理士 三好 秀和 (外8名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 パワートランジスタの微細加工が実現できる半導体装置の製造方法を提供する。パワートランジスタの占有面積を減少し、集積度が向上できる半導体装置を提供する。パワートランジスタのオン抵抗を減少できる半導体装置を提供する。

【解決手段】 縦型構造のパワートランジスタを有する半導体装置の製造方法において、溝6内部の途中の深さまでゲート電極8を埋設する工程と、ゲート電極8上で溝6の残りの深さに分離用絶縁膜9を埋設する工程と、を備える。分離用絶縁膜9は溝6の占有面積内にこの溝6に対して自己整合で形成される。分離用絶縁膜9はゲート電極8とこのゲート電極8上に配設されるソース電極10との間を電氣的に分離する。



- 1 n+型半導体基板 (ドレイン領域)
- 2 n-型エピタキシャル層
- 3 p型半導体領域 (ベース領域)
- 4 n+型半導体領域 (ソース領域)
- 5 p+型半導体領域
- 6 溝
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 埋設絶縁膜
- 10 ソース電極

【特許請求の範囲】

【請求項1】 第1導電型半導体領域の第1動作領域主面部に第2導電型半導体領域の第2動作領域を形成する工程と、

前記第2動作領域主面部に第1導電型半導体領域の第3動作領域を形成する工程と、

前記第3動作領域表面の一部の領域から前記第2動作領域を貫通する程度の溝を形成する工程と、

前記溝内壁に沿って絶縁膜を形成する工程と、

前記絶縁膜上であって溝内の途中の深さまで第1電極を埋設する工程と、

前記溝内の残りの深さに分離用絶縁膜を埋設する工程と、

前記第1電極上に分離用絶縁膜を介して第3動作領域に接続される第2電極を形成する工程と、

を備え、

前記第1動作領域、第2動作領域、第3動作領域、絶縁膜及び第1電極を有するトランジスタを形成し、このトランジスタの第3動作領域に第2電極が電気的に接続されたことを特徴とする半導体装置の製造方法。

【請求項2】 ドレイン領域主面部にベース領域を形成する工程と、

前記ベース領域主面部にソース領域を形成する工程と、

前記ソース領域表面の一部の領域から前記ベース領域を貫通する程度の溝を形成する工程と、

前記溝内壁に沿ってゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上であって溝内の途中の深さまでゲート電極を埋設する工程と、

前記溝内の残りの深さに分離用絶縁膜を埋設する工程と、

前記ゲート電極上に分離用絶縁膜を介してソース領域に電気的に接続されるソース電極を形成する工程と、

を備え、

前記ドレイン領域、ベース領域、ソース領域、ゲート絶縁膜及びゲート電極を有する縦型構造の絶縁ゲート型電界効果トランジスタを形成し、この絶縁ゲート型電界効果トランジスタのソース領域にソース電極が電気的に接続されたことを特徴とする半導体装置の製造方法。

【請求項3】 第1導電型半導体領域の第1動作領域と、

前記第1動作領域主面部に形成された第2導電型半導体領域の第2動作領域と、

前記第2動作領域主面部に形成された第1導電型半導体領域の第3動作領域と、

前記第3動作領域表面の一部の領域から前記第2動作領域を貫通する程度の深さを有する溝と、

前記溝内壁に沿って形成された絶縁膜と、

前記絶縁膜上であって溝内の途中の深さまで埋設された第1電極と、

を備えたトランジスタと、

前記溝内の残りの深さに埋設された分離用絶縁膜と、

前記トランジスタの第1電極上に分離用絶縁膜を介して形成され、第3動作領域に電気的に接続された第2電極と、

を備えたことを特徴とする半導体装置。

【請求項4】 前記分離用絶縁膜の溝内の埋設深さは、前記トランジスタ動作が行える、前記第3動作領域又はソース領域の接合深さと同程度に設定されることを特徴とする請求項1若しくは請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関する。特に本発明は、溝を利用してパワートランジスタを形成した半導体装置及びその製造方法に関する。

【0002】さらに詳細には、溝内にゲート電極を埋設した絶縁ゲート型電界効果トランジスタ、又はそのトランジスタを含むIGBTを有する半導体装置及びその製造方法に関する。

【0003】

【従来の技術】断面形状がU字型の溝を利用したいわゆるUMOSと呼ばれるパワートランジスタの開発が進められている。この種のパワートランジスタはMOSFETであり、MOSFETはドレイン領域、ベース領域、ソース領域、ゲート絶縁膜及びゲート電極を備え構築される。

【0004】MOSFETのドレイン領域は半導体基板及びこの半導体基板主面上に成長させたエピタキシャル層で形成される。nチャネル導電型MOSFETの場合、半導体基板及びエピタキシャル層はn型で形成される。半導体基板の裏面全域にはドレイン電極が電気的に接続される。

【0005】ベース領域はエピタキシャル層主面部に形成されたp型半導体領域で形成される。ソース領域はベース領域主面部に形成されたn型半導体領域で形成される。ソース領域、ベース領域にはそれぞれに共通のソース電極が電気的に接続され、このソース電極はトランジスタ形成領域のほぼ全域に配設される。

【0006】ゲート絶縁膜はソース領域表面の一部からベース領域を貫通する程度の深さで形成された溝（断面形状がU字型を有する溝）の内壁に沿って形成される。ゲート電極はゲート絶縁膜上において溝内部に埋設される。ここで、ソース領域とドレイン領域との間に電圧を印加すると、ベース領域の分離用絶縁膜側面にチャンネル領域が形成され、ソース領域とドレイン領域との間が導通する。

【0007】前述のようにソース電極はトランジスタのほぼ全域に配設されるので、このソース電極と溝内に埋設されたゲート電極との間には分離用絶縁膜が形成さ

れ、ソース電極とゲート電極との間には分離用絶縁膜で絶縁分離される。分離用絶縁膜の形成方法には以下の2つの方法がある。

【0008】(1)第1の方法は、溝内に埋設されたゲート電極上を含む基板全面に絶縁膜を形成し、フォトリソグラフィ技術及びエッチング技術により絶縁膜をパターンニングし、溝上に分離用絶縁膜を形成する、方法である。

【0009】(2)第2の方法は、溝内に埋設されたゲート電極上が開口されソース領域上が被覆された耐酸化マスクを形成し、この耐酸化マスクによりゲート電極表面部分を酸化して分離用絶縁膜を形成する、方法である。この第2の方法で形成された分離用絶縁膜はキャップ酸化膜と呼ばれる。

【0010】このような溝を利用するMOSFETにおいては、ゲート電極をマスクとしてベース領域、ソース領域のそれぞれを拡散により形成する2重拡散構造のMOSFETで微細化の妨げになるJFET抵抗成分が存在しない。従って、トランジスタの微細化、トランジスタ密度の高密度化が実現でき、パワートランジスタの特性上重要なオン抵抗が低減できる特徴がある。

【0011】

【発明が解決しようとする課題】しかしながら、前述のパワートランジスタを有する半導体装置において、以下の点について配慮がなされていない。

【0012】(1)溝内に埋設されたゲート電極とソース電極との間に形成される分離用絶縁膜は必須であるが、第1の方法による分離用絶縁膜のパターンニングには溝に対して製造上のアライメントずれが生じる。このため、アライメントずれを考慮し、分離用絶縁膜の平面形状は溝の平面形状に比べて大きな形状で形成される。この分離用絶縁膜の平面形状の増加に伴いソース領域の平面面積が増大し、さらにパワートランジスタの平面形状が増大するので、トランジスタの微細化ができない。

【0013】(2)第2の方法による分離用絶縁膜にも類似した問題があり、第2の方法で形成される分離用絶縁膜は、絶縁に必要な膜厚を確保しようとする溝側からソース領域側への横方向酸化量（バースピーク量）が大きくなる。このため、同様にソース領域の平面面積が増大し、トランジスタの微細化ができない。

【0014】(3)前述のように、トランジスタの微細加工が実現できないので、トランジスタの占有面積が増大し、半導体装置の集積度に限界がある。

【0015】(4)さらに、トランジスタの微細加工が実現できないので、トランジスタ密度（詳細にはトランジスタセル密度）が低くなり、トランジスタのオン抵抗が増大し、半導体装置の損失が増大する。

【0016】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、トランジスタ、特にパワートランジスタの微細化が実現できる半導

体装置の製造方法を提供することである。

【0017】さらに、本発明の目的は、絶縁ゲート型電界効果トランジスタの微細化が実現できる半導体装置の製造方法を提供することである。

【0018】さらに、本発明の目的は、トランジスタの占有面積を減少し、集積度が向上できる半導体装置を提供することである。

【0019】さらに、本発明の目的は、単位面積当たりに配設できるトランジスタ数（トランジスタセル数）を増加し、トランジスタのオン抵抗を減少できる半導体装置を提供することである。

【0020】さらに、本発明の目的は、トランジスタのオン抵抗を減少し、損失の少ない半導体装置を提供することである。

【0021】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の特徴は、第1動作領域、第2動作領域、第3動作領域、絶縁膜及び第1電極を有するトランジスタを形成し、このトランジスタの第3動作領域に第2電極が接続される半導体装置の製造方法において、下記工程(1)乃至工程(7)を備えたことである：

- (1)第1導電型半導体領域の第1動作領域主面部に第2導電型半導体領域の第2動作領域を形成する工程；
- (2)第2動作領域主面部に第1導電型半導体領域の第3動作領域を形成する工程；
- (3)第3動作領域表面の一部の領域から第2動作領域を貫通する程度の溝を形成する工程；
- (4)溝内壁に沿って絶縁膜を形成する工程；
- (5)絶縁膜上であって溝内の途中の深さまで第1電極を埋設する工程；
- (6)溝内の残りの深さに分離用絶縁膜を埋設する工程；
- (7)第1電極上に分離用絶縁膜を介して第3動作領域に接続される第2電極を形成する工程。

【0022】このような半導体装置の製造方法においては、溝の内部に第1電極、分離用絶縁膜が順次埋設され、分離用絶縁膜は溝の占有面積内に形成される。しかも分離用絶縁膜の絶縁能力（第1電極と第2電極との間の絶縁能力）は溝の深さ方向の膜厚で稼ぐことができる。従って、分離用絶縁膜に製造上のアライメント余裕が必要なくなり、かつ横方向酸化（バースピーク）がなくなるので、第3動作領域の占有面積が減少でき、トランジスタの微細化が実現できる。

【0023】この発明の第2の特徴は、ドレイン領域、ベース領域、ソース領域、ゲート絶縁膜及びゲート電極を有する縦型構造の絶縁ゲート型電界効果トランジスタを形成し、この絶縁ゲート型電界効果トランジスタのソース領域にソース電極が電気的に接続される半導体装置の製造方法において、下記工程(1)乃至工程(7)を備えたことである：

- (1) ドレイン領域主面部にベース領域を形成する工程；
- (2) ベース領域主面部にソース領域を形成する工程；
- (3) ソース領域表面の一部の領域からベース領域を貫通する程度の溝を形成する工程；
- (4) 溝内壁に沿ってゲート絶縁膜を形成する工程；
- (5) ゲート絶縁膜上であって溝内の途中の深さまでゲート電極を埋設する工程；
- (6) 溝内の残りの深さに分離用絶縁膜を埋設する工程；
- (7) ゲート電極上に分離用絶縁膜を介してソース領域に接続されるソース電極を形成する工程。

【0024】絶縁ゲート型電界効果トランジスタにはIGBTが含まれる。

【0025】このような半導体装置の製造方法においては、溝の内部にゲート電極、分離用絶縁膜が順次埋設され、分離用絶縁膜は溝の占有面積内に形成される。しかも分離用絶縁膜の絶縁能力（ゲート電極とソース電極との間の絶縁能力）は溝の深さ方向の膜厚で稼ぐことができる。従って、分離用絶縁膜に製造上のアライメント余裕が必要なくなり、かつ横方向酸化（バースピーク）がなくなるので、ソース領域の占有面積が減少でき、縦型構造の絶縁ゲート型電界効果トランジスタの微細化が実現できる。

【0026】この発明の第3の特徴は、半導体装置において、第1導電型半導体領域の第1動作領域と、第1動作領域主面部に形成された第2導電型半導体領域の第2動作領域と、第2動作領域主面部に形成された第1導電型半導体領域の第3動作領域と、第3動作領域表面の一部の領域から第2動作領域を貫通する程度の深さを有する溝と、溝内壁に沿って形成された絶縁膜と、絶縁膜上であって溝内の途中の深さまで埋設された電極と、を有するトランジスタを備えたことである。さらに、この発明の第3の特徴は、溝内の残りの深さに埋設された分離用絶縁膜と、第1電極上に分離用絶縁膜を介して形成されトランジスタの第3動作領域に電気的に接続される第2電極と、を備えたことである。

【0027】このように構成される半導体装置においては、溝内に埋設された第1電極とこの第1電極上の第2電極との間が、溝内に埋設され溝の深さ方向に膜厚が稼げる分離用絶縁膜で絶縁分離される。従って、第1電極と第3動作領域との間の平面上の離間寸法（詳細には、溝から第3動作領域と第2電極との間の接続部までの距離）が縮小できるので、トランジスタの平面上の占有面積が縮小でき、半導体装置の集積度が向上できる。

【0028】さらに、トランジスタの平面上の占有面積が縮小できる結果、単位面積当たりに配設できるトランジスタセル数が増加でき（トランジスタセル密度の高密度化が実現でき）、第2動作領域において第1動作領域と第3動作領域との間を流れる電流経路を拡大できるの

で、トランジスタのオン抵抗が減少できる。さらに、トランジスタのオン抵抗の減少により、半導体装置の損失が減少できる。

【0029】この発明の第4の特徴は、分離用絶縁膜の溝内の埋設深さをトランジスタ動作が行える第3動作領域又はソース領域の接合深さと同程度に設定したことである。

【0030】

【発明の効果】本発明は、トランジスタ、特にパワートランジスタの微細化が実現できる半導体装置の製造方法を提供できる。

【0031】さらに、本発明は、絶縁ゲート型電界効果トランジスタの微細化が実現できる半導体装置の製造方法を提供できる。

【0032】さらに、本発明は、トランジスタの占有面積を減少し、集積度が向上できる半導体装置を提供できる。

【0033】さらに、本発明は、単位面積当たりに配設できるトランジスタセル数を増加し、トランジスタのオン抵抗を減少できる半導体装置を提供できる。

【0034】さらに、本発明は、トランジスタのオン抵抗を減少し、損失が減少できる半導体装置を提供できる。

【0035】

【発明の実施の形態】＜半導体装置の構造＞以下、本発明の実施の形態について説明する。図1は本発明の実施の形態に係るパワートランジスタを備えた半導体装置の要部断面図である。パワートランジスタは縦型構造の絶縁ゲート型電界効果トランジスタで構成される。この絶縁ゲート型電界効果トランジスタは、ドレイン領域（第1動作領域）、ベース領域、ソース領域（第3動作領域）、ゲート絶縁膜7（絶縁膜）及びゲート電極（第1電極）8を備え構築される。

【0036】絶縁ゲート型電界効果トランジスタのドレイン領域は単結晶珪素からなる高不純物濃度のn+型半導体基板1及びこの半導体基板1の主面（表面）上に成長させた低不純物濃度のn-型エピタキシャル層2で形成される。半導体基板1の裏面全域にはドレイン電極11が電気的に接続される。

【0037】ベース領域はエピタキシャル層2の主面部（ドレイン領域の主面部）に形成された中不純物濃度のp型半導体領域3で形成される。ソース領域は半導体領域3の主面部（ベース領域の主面部）に形成された高不純物濃度のn+型半導体領域4で形成される。ソース領域の中央部分にはベース領域に電気的に接続されベース領域の電位を取り出す領域として使用される高不純物濃度のp+型半導体領域5が形成される。ソース領域、ベース領域に接続された半導体領域5のそれぞれにはソース電極（第2電極）10が電気的に接続される（オーミック接続される）。ソース電極10は絶縁ゲート型電界

効果トランジスタが配設されたほぼ全域においてエピタキシャル層2上に形成される。ソース電極10とドレイン電極11との間に電圧が印加されると、半導体領域3のゲート絶縁膜7と接する部分に、チャネル領域(第2動作領域)が形成される。

【0038】ゲート絶縁膜7、ゲート電極8は溝6内部に形成される。溝6は、ソース領域の周囲を取り囲み、エピタキシャル層2の表面からベース領域を貫通しドレイン領域に達する程度の深さで形成される。本実施の形態において、溝6の内壁はほぼ垂直に形成され、溝6の断面形状はU字型形状で形成される。

【0039】ゲート絶縁膜7は溝6内壁に沿って形成される。本実施の形態において、ゲート絶縁膜7は膜質が比較的良好な熱酸化法で形成した酸化珪素膜で形成される。なお、ゲート絶縁膜7には、CVD法若しくはスパッタ法で形成した酸化珪素膜、窒化珪素膜のいずれかの単層膜、又は酸化珪素膜と窒化珪素膜とを重ね合わせた複合膜が使用できる。

【0040】ゲート電極8は、ゲート絶縁膜7上に形成され、溝6の途中の深さまで埋設される。本実施の形態において、ゲート電極8にはCVD法で形成した多結晶珪素膜が使用され、この多結晶珪素膜には抵抗値を調節する(抵抗値を減少する)不純物例えば磷がドーパされる。なお、ゲート電極8には、チタンシリサイド、タングステンシリサイド等のシリサイド膜、又はチタン、タングステン等の高融点金属膜が使用できる。ゲート電極8は、絶縁ゲート型電界効果トランジスタのベース領域にチャネルを形成しトランジスタ動作を実現できるように、少なくともソース領域の接合深さ程度まで埋設される。

【0041】このように構成される絶縁ゲート型電界効果トランジスタの溝6内部に埋設されたゲート電極8とその上層に配設されたソース電極10との間には双方の間を絶縁分離する分離用絶縁膜9が形成される。分離用絶縁膜9は溝6内部のゲート電極6で完全に埋め込んでいない残りの深さ部分に埋設される。分離用絶縁膜9は、溝6の占有面積内にのみ形成され、プロセス的表現をすれば溝6の内部にこの溝6に対して自己整合で形成される。溝6の残りの深さはソース領域の接合深さ程度あるので、分離用絶縁膜9はソース領域の接合深さ程度の膜厚で形成される。ゲート電極6とソース電極10との間の絶縁能力は分離用絶縁膜9の膜厚で実質的に決定され、分離用絶縁膜9の膜厚は溝6の範囲内において平面上の専有面積を増加することなく溝6の深さ方向に移れる。

【0042】<半導体装置の製造方法>次に、前述のパワートランジスタとしての絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法を説明する。図2乃至図9は製造方法を各工程毎に示す半導体装置の工程断面図である。

【0043】(1)まず、図2に示すように、ドレイン領域(第1動作領域)を形成する。すなわち、単結晶珪素からなる高不純物濃度のn+型半導体基板1を準備し、この半導体基板1の主面上にエピタキシャル成長法により低不純物濃度のn-型エピタキシャル層2を成長させる。エピタキシャル層2は例えば5.0~10.0 μm 程度の膜厚で形成される。

【0044】(2)図3に示すように、基板全域においてエピタキシャル層2の主面部に中不純物濃度のp型半導体領域3を形成し、ベース領域を形成する。ベース領域はイオン注入法又は熱拡散法によりp型不純物をエピタキシャル層2中にドーパすることで形成する。本実施の形態において、半導体領域3の接合深さは1.5~2.5 μm に設定される。

【0045】(3)図4に示すように、ベース電位取り出し領域となる部分を除いて半導体領域3の主面部に高不純物濃度のn+型半導体領域4を形成し、ソース領域を形成する。ソース領域はイオン注入法又は熱拡散法によりn型不純物を半導体領域3中にドーパすることで形成する。本実施の形態において、半導体領域4の接合深さは0.3~0.5 μm に設定される。

【0046】(4)図5に示すように、ベース電位取り出し領域となる部分において半導体領域3の主面からソース領域と同程度の深さとなるように高不純物濃度のp+型半導体領域5を形成する。半導体領域5はイオン注入法又は熱拡散法によりp型不純物を半導体領域3中にドーパすることで形成する。

【0047】(5)図6に示すように、ソース領域表面の一部の領域からベース領域を貫通しドレイン領域(エピタキシャル層2)に達する程度の深さを有する溝6を形成する。溝6は、ゲート電極形成領域が開口されたマスク12を基板全域に形成し、このマスク12を使用したエッチングを行うことにより形成される。マスク12は、本実施の形態において耐エッチングマスク及び耐酸化マスクとして使用され、例えばPSG膜で形成される。マスク12の開孔はフォトリソグラフィ技術及びエッチング技術により形成する。エッチングは溝6の占有面積を縮小するために異方性の強いRIEで行うことが好ましい。エッチング深さ(溝6の深さ)は本実施の形態において1.5~2.5 μm に設定される。

【0048】(6)図7に示すように、溝6の内壁に沿ってゲート絶縁膜7を形成する。本実施の形態において、ゲート絶縁膜7は、マスク12を耐酸化マスクとして使用し、溝6の内壁表面を酸化した酸化珪素膜で形成される。酸化珪素膜は例えば200~400nm程度の膜厚で形成される。

【0049】(7)図8に示すように、ゲート絶縁膜7上において溝6内部にゲート電極8を埋設する。本実施の形態において、ゲート電極8は、基板全面にCVD法により磷がドーパされた多結晶珪素膜を少なくとも溝6

が完全に埋め込まれるまで形成し、この後に多結晶珪素膜の全面エッチングを行い、ソース領域上等の多結晶珪素膜を取り除くことにより溝6内のみ形成される。ゲート電極8は溝6の途中の深さまで形成される。具体的には、ゲート電極8の上面がソース領域の接合深さと一致する程度で形成される。ゲート電極8を形成する多結晶珪素膜の全面エッチングの際、マスク12は耐エッチングマスクとして使用されソース領域等を保護する。ゲート電極8を形成した後、マスク12は除去される。

【0050】このゲート電極8が形成されると、縦型構造を採用する絶縁ゲート型電界効果トランジスタからなるパワートランジスタが完成する。

【0051】(8)図9に示すように、ゲート電極8上において溝6の残りの深さに分離用絶縁膜9を埋設する。分離用絶縁膜9は、ソース領域の接合深さと同程度の膜厚をもって溝6内部に埋設され、しかも溝6の範囲内で溝6に対して自己整合で形成される。分離用絶縁膜9は本実施の形態においてPSG膜で形成される。PSG膜はCVD法により溝6の残りの深さが少なくとも完全に埋め込まれるまで基板全面に形成し、前述のゲート電極8の形成工程と同様に、この後にPSG膜に全面エッチングを行い、ソース領域上等のPSG膜を取り除くことにより溝6内のみ形成される。分離用絶縁膜9は、酸化法で形成せずに基本的に堆積法で形成されるので、平面上、溝6の外側に向かって横方向には形成されない。さらに、分離用絶縁膜9の絶縁能力は実質的に膜厚の制御で調節でき、分離用絶縁膜9の膜厚は溝6の深さ方向に稼げる。本実施の形態において、分離用絶縁膜9は、ゲート電極8と後述するソース電極10との間の絶縁分離に必要な0.3~0.4 μm の膜厚に設定される。なお、分離用絶縁膜9には、CVD法で形成された酸化珪素膜若しくは窒化珪素膜、NSG膜、BPSG膜のいずれかの単層膜、又はいずれか2種類以上の膜を重ね合わせた複合膜が実用的に使用できる。

*【0052】(9)前述の図1に示すように、トランジスタ形成領域のほぼ全域においてソース電極10を形成する。ソース電極10はソース領域、ベース電位取り出し領域となる半導体領域5のそれぞれに電氣的に接続される。ソース電極10はゲート電極8上にも形成されるが、ゲート電極8上には分離用絶縁膜9が形成されているので、ゲート電極8とソース電極10との間は絶縁分離される。

【0053】(10)前述の図1に示すように、半導体基板1の裏面にドレイン電極11を形成する。このドレイン電極11が形成されると、本実施の形態に係る半導体装置の製造工程が終了する。

【0054】図10(A)は本実施の形態に係る絶縁ゲート型電界効果トランジスタの平面図、図10(B)は従来技術に係るパワーMOSFETの平面図である。図10(B)に示すように、従来技術に係るパワーMOSFETにおいては、ゲート電極8Pが埋設された溝6Pに対して分離用絶縁膜(輪郭を破線で示す。)はアライメントずれ又は横方向酸化(パズピーク)MAが存在するために、溝6Pの平面形状に比べて分離用絶縁膜は大きい平面形状を有し、ソース領域4Pとソース電極(図示しない)との接続部を確保するにはソース領域4Pの平面上の面積が増大する。

【0055】ここで、ゲート電極8Pのゲート幅寸法(溝6Pの溝幅寸法)が1.0 μm 、アライメントずれMAが0.5 μm 、ソース領域4Pの接続部の寸法が0.5 μm 、ベース電位取り出し領域の幅寸法(半導体領域5Pのソース電極との接続部の寸法)が1.0 μm の各寸法に設定されると、MOSFETのセルピッチは4.0 μm 、セルサイズは16.0 μm^2 になる。この場合、単位面積当たりのチャネル幅Gwは以下の式で求められる。

【0056】

*【数1】

$$\begin{aligned}\text{チャネル幅Gw} &= \text{ソースセル1個当たりのチャネル幅} / \text{セルピッチの2乗} \\ &= (3.0\mu\text{m} \times 4) / (4.0\mu\text{m} \times 4.0\mu\text{m}) \\ &= 0.75 / \mu\text{m}\end{aligned}$$

これに対して図10(A)に示す絶縁ゲート型電界効果トランジスタにおいては、アライメントずれ又は横方向酸化MAが基本的に存在しない(溝6、ゲート電極8、分離用絶縁膜9の各平面形状はほぼ同一である)ので、各寸法の条件を一致させるとセルピッチは3.0 μm 、※

※セルサイズは9.0 μm^2 になる。単位面積当たりのチャネル幅Gwは以下の式で求められる。

【0057】

【数2】

$$\begin{aligned}\text{チャネル幅Gw} &= (2.0\mu\text{m} \times 4) / (3.0\mu\text{m} \times 3.0\mu\text{m}) \\ &= 0.89 / \mu\text{m}\end{aligned}$$

すなわち、図10(A)に示す絶縁ゲート型電界効果トランジスタは単位面積当たりのチャネル幅Gwが約20%ほど増加できるので、オン抵抗が低減できる。

【0058】このように本実施の形態に係る半導体装置の製造方法においては、溝6の内部にゲート電極8、分離用絶縁膜9が順次埋設され、分離用絶縁膜9は溝6の★50

★占有面積内にこの溝6に対して自己整合で形成される。しかも分離用絶縁膜9の絶縁能力(ゲート電極8とソース電極10との間の絶縁能力)は溝6の深さ方向に膜厚を稼ぐことで高められる。従って、分離用絶縁膜9に製造上のアライメント余裕が必要なくなり、かつ横方向酸化(パズピーク)がなくなるので、ソース領域(半導

11

体領域4)の占有面積が減少でき、縦型構造の絶縁ゲート型電界効果トランジスタの微細加工が実現できる。

【0059】さらに、このように構成される半導体装置においては、溝6内に埋設されたゲート電極8とこのゲート電極8上のソース電極10との間が、溝6内に埋設され溝6の深さ方向に膜厚が稼げる分離用絶縁膜9で絶縁分離される。従って、ゲート電極8とソース電極10との間の平面上の離間寸法(溝6からソース領域とソース電極10との間の接続部までの距離)が縮小できるので、絶縁ゲート型電界効果トランジスタの平面上の占有面積が縮小でき、半導体装置の集積度が向上できる。

【0060】さらに、絶縁ゲート型電界効果トランジスタの平面上の占有面積が縮小できる結果、単位面積当たり配設できるトランジスタセル数が増加でき(トランジスタセル密度の高密度化が実現でき)、ベース領域においてドレイン領域とソース領域との間を流れる電流経路(チャネル幅Gw)を拡大できるので、トランジスタのオン抵抗が減少できる。さらに、トランジスタのオン抵抗の減少により、半導体装置の損失が減少できる。

【0061】なお、本発明は前述の実施の形態に限定されない。例えば、本発明はIGBTを有する半導体装置及びその製造方法に適用できる。IGBTは前述の実施の形態に係る半導体装置において半導体基板1にp+型を使用することにより実現できる。IGBTにおいて、p+型半導体基板1はpnnpバイポーラトランジスタのコレクタ領域として、n-型エピタキシャル層はベース領域として、p型半導体領域3はエミッタ領域としてそれぞれ使用される。さらに、n-型エピタキシャル層2はnpnpバイポーラトランジスタのコレクタ領域として、p型半導体領域3はベース領域として、n+型半導体領域4はエミッタ領域としてそれぞれ使用される。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るパワートランジスタ

12

を備えた半導体装置の要部断面図である。

【図2】本実施の形態に係る製造方法を説明する半導体装置の第1工程断面図である。

【図3】本実施の形態に係る製造方法を説明する半導体装置の第2工程断面図である。

【図4】本実施の形態に係る製造方法を説明する半導体装置の第3工程断面図である。

【図5】本実施の形態に係る製造方法を説明する半導体装置の第4工程断面図である。

【図6】本実施の形態に係る製造方法を説明する半導体装置の第5工程断面図である。

【図7】本実施の形態に係る製造方法を説明する半導体装置の第6工程断面図である。

【図8】本実施の形態に係る製造方法を説明する半導体装置の第7工程断面図である。

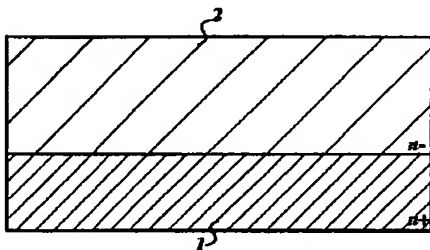
【図9】本実施の形態に係る製造方法を説明する半導体装置の第8工程断面図である。

【図10】(A)は本実施の形態に係る絶縁ゲート型電界効果トランジスタの平面図であり、(B)は従来技術に係るパワーMOSFETの平面図である。

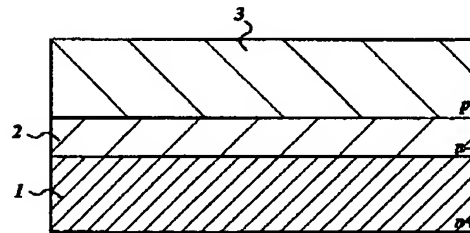
【符号の説明】

- 1 n+型半導体基板(ドレイン領域、第1動作領域)
- 2 n-型エピタキシャル層(ドレイン領域、第1動作領域)
- 3 p型半導体領域(ベース領域、第2動作領域)
- 4 n+型半導体領域(ソース領域、第3動作領域)
- 5 p+型半導体領域
- 6 溝
- 7 ゲート絶縁膜(絶縁膜)
- 8 ゲート電極(第1電極)
- 9 分離用絶縁膜
- 10 ソース電極(第2電極)
- 11 ドレイン電極

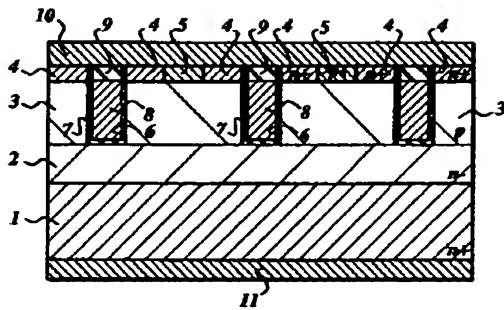
【図2】



【図3】

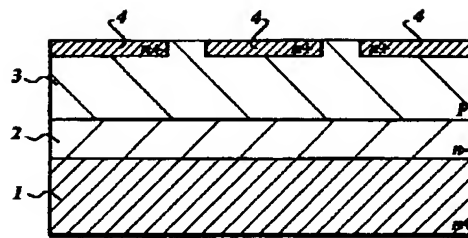


【図1】

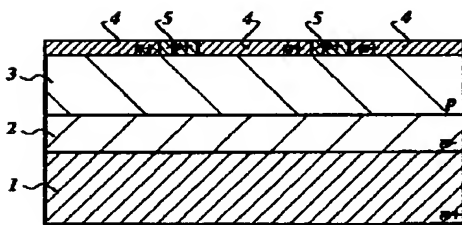


- 1 n+型半導体基板 (ドレイン領域)
 2 n型エピタキシャル層
 3 p型半導体領域 (ベース領域)
 4 n+型半導体領域 (ソース領域)
 5 p+型半導体領域
 6 溝
 7 ゲート絶縁膜
 8 ゲート電極
 9 埋設絶縁膜
 10 ソース電極

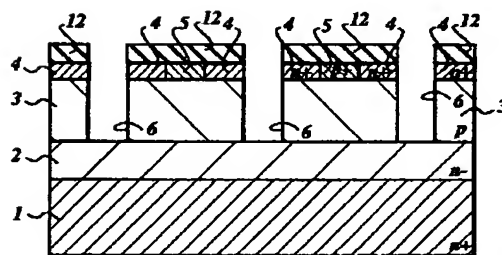
【図4】



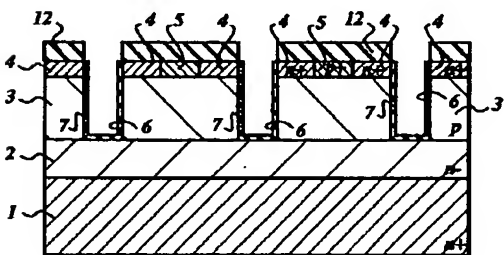
【図5】



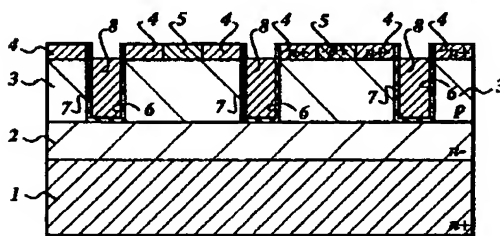
【図6】



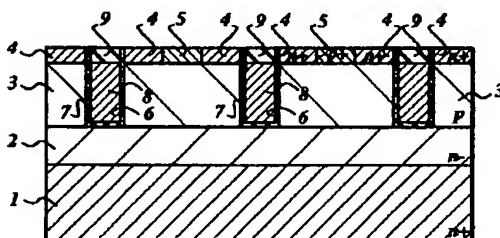
【図7】



【図8】



【図9】



【図10】

